



HETEROJUNCTION BIPOLAR TRANSISTOR AND CIRCUIT USING THE SAME

PUB. NO.: 05-048078 [JP 5048078 A]

PUBLISHED: February 26, 1993 (19930226)

INVENTOR(s): MOCHIZUKI KAZUHIRO, MASUDA HIROSHI, MITANI KATSUHIKO,
ISHIKAWA KYOSUKE, KUSANO CHUSHIRO

APPLICANT(s): HITACHI LTD (A Japanese Company or Corporation)

APPL. NO.: 03-207805 [JP 91207805]

FILED: August 20, 1991 (19910820)

INTL CLASS: H01L-029/205; H01L-021/331; H01L-029/73

ABSTRACT

PURPOSE: To reduce characteristics fluctuation at the time of high current density operation by making the forbidden band width of an emitter layer larger than that of a base layer and making the shape of an emitter plane rectangular in order to make its longer side parallel with a specified direction, these being formed on a specified surface of a semiconductor substrate.

CONSTITUTION: Makes the shape of an emitter plane rectangular, emitter size $2\mu\text{m} \times 10\mu\text{m}$, collector current density $2.5 \times 10^{5} \text{ A/cm}^2$, measuring temperature 20 deg.C and conducting time 10 minutes. A base impurity is Be and its density includes three types, $2 \times 10^{19} \text{ /cm}^2$, $3 \times 10^{19} \text{ /cm}^2$ and $4 \times 10^{19} \text{ /cm}^2$. The orientation of emitter forming is the direction in which the longer side of a rectangular emitter falls into the orientation flat of a GaAs (100) surface substrate, that is, the angle θ formed against (01-0) direction includes three angles, 0 deg., 45 deg. and 90 deg..

When $\theta = 90 \text{ deg.}$, regardless of high collector current density such as $2.5 \times 10^{5} \text{ A/cm}^2$, a reducing rate of the collector current comes to be less than 20% after continuous conduction for 10 minutes at 20 deg.C, and this value is less than that of other orientations.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-48078

(43)公開日 平成5年 (1993) 2月26日

(51)Int. Cl. ⁶

H 0 1 L 29/205
21/331
29/73

識別記号

庁内整理番号

7377-4M

F I

技術表示箇所

H 0 1 L 29/72

審査請求 未請求 請求項の数13 (全 8 頁)

(21)出願番号 特願平3-207805

(22)出願日 平成3年 (1991) 8月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 望月 和浩

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 増田 宏

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 三谷 克彦

東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

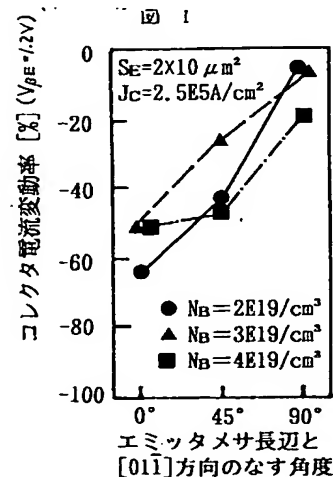
最終頁に続く

(54)【発明の名称】 ヘテロ接合バイポーラトランジスタおよびそれを用いた回路

(57)【要約】

【目的】 高電流密度動作時の特性変動の少ないIII-V族化合物半導体ヘテロ接合バイポーラトランジスタおよび該トランジスタを用いた回路を提供する。

【構成】 ダイアモンド構造またはせん亜鉛構造を有する半導体の(100)面基板上に形成するIII-V族化合物半導体ヘテロ接合バイポーラトランジスタのエミッタ平面形状を、(1)長辺が[011]方向に平行な矩形、(2)[01-1]方向に平行な辺が存在しない形状、および(3)外部ベース層を[011]方向に平行な辺に接する領域のみに有する形状、あるいは、上記半導体の基板面方位を(100)面から(111)B面方向に±35.3°以内かつ(111)A面方向に±54.7°以内とし、エミッタ平面形状が矩形で、その長辺が[011]方向を基板面に射影した方向に平行である形状のいずれかとする。



【特許請求の範囲】

【請求項1】ダイヤモンド構造またはせん亜鉛構造を有する半導体基板の(100)面上に形成され、エミッタ層の禁制帯幅がベース層の禁制帯幅より大きく、エミッタ平面形状が矩形で、その長辺が〔011〕方向に平行であることを特徴とする、III-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【請求項2】ダイヤモンド構造またはせん亜鉛構造を有する半導体基板の(100)面上に形成され、エミッタ層の禁制帯幅がベース層の禁制帯幅より大きく、〔01-1〕方向に平行な辺がエミッタ平面形状に存在しないことを特徴とする、III-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【請求項3】ダイヤモンド構造またはせん亜鉛構造を有する半導体基板の(100)面上に形成され、エミッタ層の禁制帯幅がベース層の禁制帯幅より大きく、エミッタ平面形状の〔011〕方向に平行な辺に接する領域のみに外部ベース層を有することを特徴とする、III-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【請求項4】ベース層の導電型がp型で、不純物としてBeを含むことを特徴とする、請求項1、請求項2および請求項3記載のIII-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【請求項5】ベース層の導電型がp型で、不純物としてZnを含むことを特徴とする、請求項1、請求項2および請求項3記載のIII-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【請求項6】20℃において $2.5 \times 10^6 \text{ A/cm}^2$ のコレクタ電流密度で10分間連続通電した際に、初期コレクタ電流密度が $1 \times 10^2 \text{ A/cm}^2$ であるバイアス点でのコレクタ電流の減少率が20%以下であることを特徴とする、請求項1から請求項5に記載のIII-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【請求項7】請求項1から請求項6に記載のIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを用いた回路。

【請求項8】少なくとも差動増幅回路部に請求項1から請求項6に記載のIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを用いたことを特徴とする回路。

【請求項9】単結晶半導体基板上順次形成されたコレクタ層、ベース層、エミッタ層を有するヘテロ接合バイポーラトランジスタにおいて、該エミッタ層はメサ構造を有し、かつ該エミッタ層の逆メサ部の辺長は順メサ部の辺長よりも長いことを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項10】上記単結晶半導体基板は、GaAsからなることを特徴とする請求項9記載のヘテロ接合バイポーラトランジスタ。

【請求項11】上記単結晶半導体基板は表面が(100)面であることを特徴とする請求項9および請求項1

0に記載のヘテロ接合バイポーラトランジスタ。

【請求項12】上記ベース層およびエミッタ層はそれぞれGaAsおよびAlGaAsからなることを特徴とする請求項9乃至請求項11の何れかに記載のヘテロ接合バイポーラトランジスタ。

【請求項13】ダイヤモンド構造またはせん亜鉛構造を有する半導体基板上に形成され、該基板の面方位の(100)面からの傾角が(111)B面方向に $\pm 35.3^\circ$ 以内かつ(111)A面方向に $\pm 54.7^\circ$ 以内であり、エミッタ平面形状が矩形で、その長辺が〔011〕方向を基板面に射影した方向に平行であることを特徴とする、III-V族化合物半導体ヘテロ接合バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高電流密度動作時の特性変動の少ない化合物半導体ヘテロ接合バイポーラトランジスタおよびそれを用いた回路に関する。

【0002】

【従来の技術】従来のIII-V族化合物半導体ヘテロ接合バイポーラトランジスタは、例えばアイイーイー・トランザクション・オン・マイクロウェーブ・セオリー・アンド・テクニック第37巻(1989年)第1286頁から第1303頁(IEEE Transaction on Microwave Theory and Techniques 37(1989) pp. 1286-1303)に記載されているようにエミッタ平面形状は矩形であり、その形成方位に関して特記されることはなかった。これは、ヘテロ接合バイポーラトランジスタのコレクタ電流は基板に垂直に流れるために、エミッタの形成方位がトランジスタ特性に影響を与えとは考えにくく、注意が払われてこなかったためだと考えられる。また、このようなIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを用いて回路を構成する場合も、回路面積を小さくするために、矩形エミッタ形成方位の異なるヘテロ接合バイポーラトランジスタを1つの回路内に混在させることもあった。

【0003】

【発明が解決しようとする課題】上記従来技術において、特にベース層不純物にBeを用いたAlGaAs/GaAsヘテロ接合バイポーラトランジスタの場合に、 $1 \times 10^6 \text{ A/cm}^2$ 以上のコレクタ電流密度で連続動作させると、コレクタ電流の低減してしまう問題が、アイイーイーイー・インターナショナル・エレクトロン・デバイス・ミーティング1990(1990年)第673頁から第676頁(IEEE International Electron Device Meeting 1990(1990) pp. 673-676)にて指摘された。同様な問題は他のIII-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタや、ベース

層不純物にZnを用いたIII-V族化合物半導体ヘテロ接合バイポーラトランジスタの場合にも当てはまる。この原因は、通電により生じるキャリアの再結合過程で発生したエネルギーにより、エミッタメサ周辺でのベース層不純物のエミッタ層中への拡散が促進されるためだと考えられている。

【0004】このような現象は、電流増幅率の劣化やオン電圧のシフトといった問題を引き起こすため、III-V族化合物半導体ヘテロ接合バイポーラトランジスタおよびそれを用いた回路システムの信頼性を損なってしまう。

【0005】本発明の目的は、高電流密度動作時の特性変動の少ないIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを作製することである。本発明の他の目的は、高電流密度動作時の特性変動の少ない、III-V族化合物半導体ヘテロ接合バイポーラトランジスタを用いた回路システムを作製することである。

【0006】

【課題を解決するための手段】上記目的を達成するために、ダイヤモンド構造またはせん亜鉛構造を有する半導体の(100)面基板上に形成するIII-V族化合物半導体ヘテロ接合バイポーラトランジスタのエミッタ平面形状を、(1)長辺が[011]方向に平行な矩形、

(2)[01-1]方向に平行な辺が存在しない形状、および(3)外部ベース層を[011]方向に平行な辺に接する領域のみに有する形状、のいずれかあるいは上記基板の面方位を(100)面から(111)B面方向に±35.3°以内かつ(111)A面方向に±54.7°以内とし、エミッタ平面形状の長辺を[011]方向を基板面に射影した方向に平行となるようにしたものである。また、上記他の目的を達成するために、上記3つのエミッタ平面形状のいずれかを有するIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを、全部あるいは少なくとも差動増幅回路部にのみ用いて回路を構成するようにしたものである。

【0007】

【作用】ダイヤモンド構造またはせん亜鉛構造を有する半導体の(100)面基板上に形成するIII-V族化合物半導体ヘテロ接合バイポーラトランジスタのエミッタ平面形状を、(1)長辺が[011]方向に平行な矩形、(2)[01-1]方向に平行な辺が存在しない形状、および(3)外部ベース層を[011]方向に平行な辺に接する領域のみに有する形状、のいずれかあるいは上記基板の面方位を(100)面から(111)B面方向に±35.3°以内かつ(111)A面方向に±54.7°以内とし、エミッタ平面形状の長辺を[011]方向を基板面に射影した方向に平行となるようにすることにより、高電流密度動作時の特性変動を従来に比較して抑制することができる。これは、高電流密度動作時の特性変動にエミッタメサ形成方位依存性があり、

(100)面上の[011]方向に平行な辺の長いエミッタ形状ほど特性劣化が少ない、という新たに見出した実験事実に基づいている。以下、これを図1から図3により説明する。

【0008】図1はGaAs(100)基板上に作製したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの、高電流密度動作状態におけるコレクタ電流変動率(初期コレクタ電流密度が $1 \times 10^5 \text{ A/cm}^2$ であるバイアス点として、ベース・エミッタ間バイアス $V_{BE} = 1.2 \text{ V}$ で定義)のエミッタ形成方位依存性を示す実験結果である。エミッタ平面形状は矩形で、エミッタサイズSEは $2 \mu\text{m} \times 10 \mu\text{m}$ 、コレクタ電流密度JCは $2.5 \times 10^5 \text{ A/cm}^2$ 、測定温度は 20°C 、通電時間は10分間とした。ベース不純物はBeで、その密度NBは $2 \times 10^{19} / \text{cm}^3$ 、 $3 \times 10^{19} / \text{cm}^3$ 、 $4 \times 10^{19} / \text{cm}^3$ の3種類である。エミッタ形成方位は、図2に示すように矩形エミッタの長辺がGaAs(100)面基板のオリエンテーション・フラット(OF)の方向、すなわち[01-1]方向とのなす角度 θ が 0° 、 45° および 90° の3種類である。図1からわかるように $\theta = 90^\circ$ の場合、 $2.5 \times 10^5 \text{ A/cm}^2$ という高いコレクタ電流密度にもかかわらず、 20°C における10分間の連続通電でコレクタ電流の減少率は20%以下と、他の方位に比較して極めて小さくなっている。このことは、図3に示すようなエミッタ・ベース付近の断面形状に関係していると考えられる。

【0009】図3は素子の断面構造図で、(a)は[01-1]へき開面、(b)は[011]へき開面における断面構造を示す。層構造としては、半導体(100)面基板1上に、高ドープn型GaAs層(Si濃度= $5 \times 10^{18} / \text{cm}^3$ 、膜厚= $0.5 \mu\text{m}$)2、n型GaAs層(Si濃度= $5 \times 10^{18} / \text{cm}^3$ 、膜厚= $0.4 \mu\text{m}$)3、高ドープp型GaAs層(Be濃度= $2 \times 10^{19} / \text{cm}^3$ 、膜厚= $0.1 \mu\text{m}$)4、アンドープGaAs層(膜厚= 10 nm)5、n型AlGaAs層(AlAsモル比=0.3、Si濃度= $1 \times 10^{18} / \text{cm}^3$ 、膜厚= $0.1 \mu\text{m}$)6、高ドープn型GaAs層(Si濃度= $5 \times 10^{18} / \text{cm}^3$ 、膜厚= $0.2 \mu\text{m}$)7が順次積層されたものとなっており、電極としてはエミッタおよびコレクタ用にAuGe電極8、ベース用にAuZn電極9が形成されている。エッチングにより{111}A面が現れるために、図3(a)では順メサ形状10、図3(b)では逆メサ形状11が現れている。このようなエミッタメサ形状の違いは、表面保護絶縁膜とエミッタメサエッジとの界面に働く応力に違いをもたらすので、通電によるBe拡散にエミッタ形成方位依存性が現れたと考えられる。

【0010】以上より、エミッタの逆メサエッジが長く、順メサエッジが短いヘテロ接合バイポーラトランジスタほど、高電流密度動作状態での特性変動が少なく

ることが明らかとなった。このことは、ベース層不純物がZnの場合や、AlGaAs/GaAs以外のIII-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタについても、同様にあてはまることが確認された。

【0011】エミッタ平面構造を(1)長辺が[011]方向に平行な矩形とすると、エミッタの順メサエッジの長さよりも逆メサエッジの長さの長い構造となり、(2)[01-1]方向に平行な辺が存在しない形状とすると、順メサ形状の現れない構造となり、(3)外部ベース層を[011]方向に平行な辺に接する領域のみに有する形状とすると、ベース電流は順メサエッジから流入せず、キャリアの再結合が順メサエッジ付近で発生しにくい構造となる。また、半導体基板の面方位は(100)でなくともよく、図7に示すように、基板面方位の(100)面からの傾向を(111)A面方向すなわち基板面内[011]方向に対して ϕ 、(111)B面方向すなわち基板面内[01-1]方向に対して ψ と定義すると、 $-35.3^\circ < \psi < 35.3^\circ$ かつ $-54.7^\circ < \phi < 54.7^\circ$ の条件を満たせば、上述の効果と同様な効果が得られる。ここで、(100)面に対して適当な{111}面を選ぶと $|\phi|$ および $|\psi|$ は 54.7° 以下になるので、 $-54.7^\circ < \psi < 54.7^\circ$ は ψ が任意の値でよいことを示す。このことを図8を用いて説明する。

【0012】 $\psi \neq 0$ の場合、(011)へき開面における逆メサ形状は図8(a)に示すように左右非対称となるが、 $|\psi| < 35.3^\circ$ であれば逆メサ形状が維持され、高電流密度動作時の特性変動抑制効果も維持される。しかし、 $35.3^\circ < |\psi| < 54.7^\circ$ では片側が順メサ形状になってしまうために、特性変動抑制効果は低減してしまう。

【0013】 ϕ に関しては任意の値でよく図8(b)に示すように $|\phi| < 35.3^\circ$ では両側順メサ形状である。 $35.3^\circ < |\phi| < 54.7^\circ$ では片側逆メサ形状になるが、これは好ましい傾向となる。いずれの場合も、[01-1]方向を基板面に射影した方向に平行なエミッタ辺の長さを[011]方向を基板面に射影した方向に平行なエミッタ辺の長さに対して短くしておけば、高電流密度動作時の特性変動抑制効果に関しては ϕ は任意でよいことになる。以上4つのいずれかの構造を用いることにより、順メサエッジ付近でのベース層不純物の通電時の拡散が抑制できるので、高電流密度動作時の特性変動の少ないIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを作製することができる。また、上記3つのエミッタ平面形状のいずれかを有するIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを、全部あるいは少なくとも差動増幅回路部にのみ用いて回路を構成することにより、高電流密度動作時の特性変動の少ない、III-V族化合物半導体ヘテロ接合バ

イポーラトランジスタを用いた回路を作製することができる。

【0014】

【実施例】【実施例1】以下本発明の実施例である、ベース層不純物にBeを用いたAlGaAs/GaAsヘテロ接合バイポーラトランジスタの第1の構造例を説明する。

【0015】素子断面構造は図3の通りである。エミッタは矩形で、その形成方向は図3に示す $\theta = 90^\circ$ とした。外部ベース層およびベース電極は、エミッタメサを取り囲む形となっている。従来 θ に関しては特に注意が払われてこなかったが、本実施例によれば、作用の項で説明したように $\theta = 90^\circ$ とすることで、エミッタの順メサエッジの長さに比較して、逆メサエッジの長い構造となり、例えば $\theta = 0^\circ$ や 45° の場合に比較して、高電流密度動作時の特性変動を極めて少なくできる効果がある。

【0016】なお、本実施例ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタの場合を示したが、他のIII-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタの場合にも同様に適用できる。また、本実施例ではベース層不純物にBeを用いたが、Znを用いた場合にも同様な効果が得られる。

【0017】【実施例2】以下本発明の実施例である、ベース層不純物にBeを用いたAlGaAs/GaAsヘテロ接合バイポーラトランジスタの第2の構造例を、図4を用いて説明する。

【0018】図4はエミッタ・ベース付近の平面図および縦断面図である。エミッタは六角形で、最長辺が[011]方向に平行となっており、外部ベース層およびベース電極はエミッタメサを取り囲む形となっている。素子の断面構造は図3の通りである。本素子を 20°C において、 $2.5 \times 10^5 \text{ A/cm}^2$ のコレクタ電流密度で10分間連続通電した結果、初期コレクタ電流密度が $1 \times 10^2 \text{ A/cm}^2$ であるバイアス点でのコレクタ電流の減少率は15%以下であった。

【0019】本実施例によれば、エミッタは長い逆メサエッジを有し、かつ順メサ形状の現れない構造となるので、順メサエッジ付近でのベース層不純物の通電時の拡散が抑制でき、高電流密度動作時の特性変動の極めて少ないヘテロ接合バイポーラトランジスタを作製できる効果がある。

【0020】なお、本実施例ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタの場合を示したが、他のIII-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタの場合にも同様に適用できる。また、本実施例ではベース層不純物にBeを用いたが、Znを用いた場合にも同様な効果が得られる。

【0021】【実施例3】以下本発明の実施例である、ベース層不純物にBeを用いたAlGaAs/GaAs

ヘテロ接合バイポーラトランジスタの第3の構造例を、図5を用いて説明する。

【0022】図5はエミッタ・ベース付近の平面図および縦断面図である。エミッタは矩形で、外部ベース層およびベース電極は、〔011〕方向に平行なエミッタの辺に接する領域のみに存在する形となっているため、

〔011〕方向と〔01-1〕方向とで異なった形状となっている。本素子を20℃において、 2.5×10^5 A/cm²のコレクタ電流密度で10分間連続通電した結果、初期コレクタ電流密度が 1×10^2 A/cm²であるバイアス領域でのコレクタ電流の減少率は10%以下であった。

【0023】本実施例によれば、ベース電流は順メサエッジから流入せず、専ら逆メサエッジから流入することになるので、キャリアの再結合は順メサエッジ付近で発生しにくくなる結果、順メサエッジ付近でのベース層不純物の通電時の拡散が抑制でき、高電流密度動作時の特性変動の極めて少ないヘテロ接合バイポーラトランジスタを作製できる効果がある。

【0024】なお、本実施例ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタの場合を示したが、他のIII-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタの場合にも同様に適用できる。また、本実施例ではベース層不純物にBeを用いたが、Znを用いた場合にも同様な効果が得られる。

【0025】〔実施例4〕以下本発明の実施例である、ベース層不純物にBeを用いたAlGaAs/GaAsヘテロ接合バイポーラトランジスタを用いた差動増幅回路について図6を用いて説明する。

【0026】実施例1、実施例2、および実施例3に示したIII-V族化合物半導体ヘテロ接合バイポーラトランジスタのいずれかを、図6中のトランジスタQ1、Q2およびQ3に用いて差動増幅回路を作製した。

【0027】本実施例によれば、高電流密度動作時の特性変動の極めて少ないヘテロ接合バイポーラトランジスタによる差動増幅回路を作製することができるので、該差動増幅回路の高電流密度動作時の特性変動も極めて小さく抑えることができる効果がある。

【0028】〔実施例5〕以下本発明の実施例である、(100)面と異なる基板上に形成したBeドープAlGaAs/GaAsヘテロ接合バイポーラトランジスタを、図8を用いて説明する。

【0029】図8において、半導体基板110には(100)面から(111)A面方向に5°、(111)B面方向に3°(すなわち、 $\phi=5^\circ$ 、 $\psi=3^\circ$)傾斜した半絶縁性GaAs基板を用い、実施例1と同様にBeをベース層不純物に用いたAlGaAs/GaAsヘテロ接合バイポーラトランジスタを作製した。エミッタは矩形で、〔011〕方向を基板面に射影した方向に平行にエミッタ長辺を、それと垂直な方向にエミッタ短辺を

形成した。本構造では、実施例1と同様に、エミッタの順メサエッジの長さに比較して、逆メサエッジの長い構造となり20℃、 2.5×10^5 A/cm²のコレクタ電流密度で10分間連続通電した結果、初期コレクタ電流密度が 1×10^2 A/cm²であるバイアス点でのコレクタ電流の減少率は20%以下であった。

【0030】なお、本実施例では $\psi=3^\circ$ の場合の例を示したが、 $|\psi| < 35.3^\circ$ であれば、ほぼ同様な特性変動抑制効果が得られる。

10 【0031】

【発明の効果】本発明によれば、エミッタの順メサエッジが(1)逆メサエッジに比較して短いか、(2)存在しないか、(3)外部ベース層を有しないかのいずれかにできるので、順メサエッジ付近でのベース層不純物の通電時の拡散が抑制でき、高電流密度動作時の特性変動の少ないIII-V族化合物半導体ヘテロ接合バイポーラトランジスタを作製することができる。またさらに、該III-V族化合物半導体ヘテロ接合バイポーラトランジスタを、全部あるいは少なくとも差動増幅回路部にのみ用いて回路を構成することにより、高電流密度動作時の特性変動の少ない、III-V族化合物半導体ヘテロ接合バイポーラトランジスタを用いた回路システムを作製することができる。

【図面の簡単な説明】

【図1】BeドープAlGaAs/GaAsヘテロ接合バイポーラトランジスタの高電流密度動作状態におけるコレクタ電流変動率のエミッタ形成方位依存性を示す実験結果である

【図2】結晶方位およびエミッタ形成方位の説明図である

【図3】AlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である

【図4】本発明によるヘテロ接合バイポーラトランジスタの第2の構造例を示す平面図および縦断面構造図である

【図5】本発明によるヘテロ接合バイポーラトランジスタの第3の構造例を示す平面図および縦断面構造図である

【図6】本発明によるヘテロ接合バイポーラトランジスタを用いた差動増幅回路の例を示す回路図である

【図7】基板面の結晶軸に対する回転角の説明図である

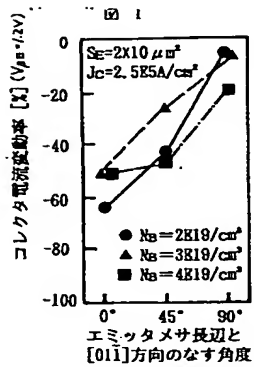
【図8】(100)面と異なる基板上に形成されたヘテロ接合バイポーラトランジスタの縦断面構造図である

【符号の説明】

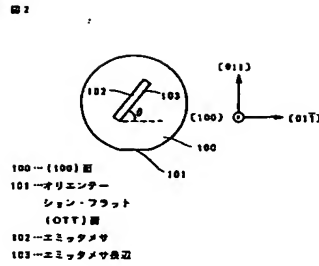
1…半導体基板、2、7…高ドープn型GaAs層、3…n型GaAs層、4…高ドープp型GaAs層、5…アンドープGaAs層、6…n型AlGaAs層、8…AuGe電極、9…AuZn電極、10…順メサ形状、11…逆メサ形状、100…(100)面、101…オリエンテーションフラット、102…エミッタ領域、1

03...エミッタメサ長辺、110...半導体基板。

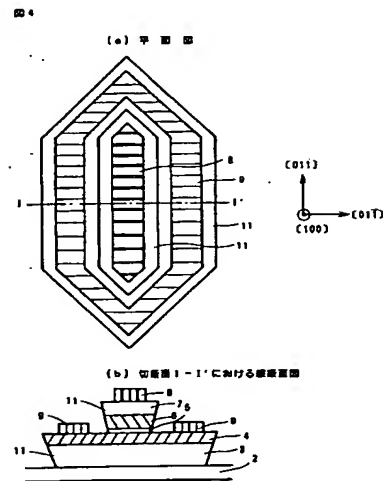
【図1】



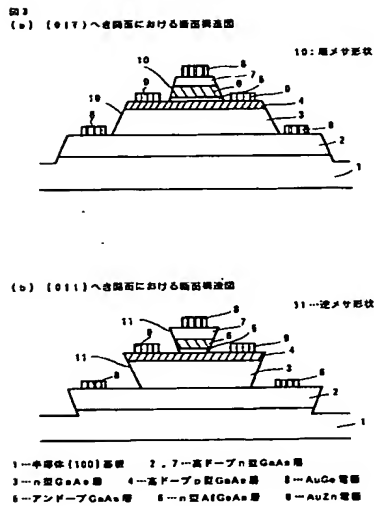
【図2】



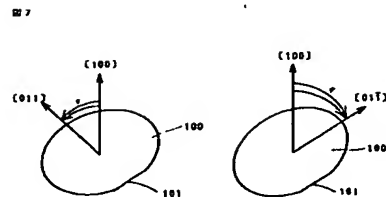
【図4】



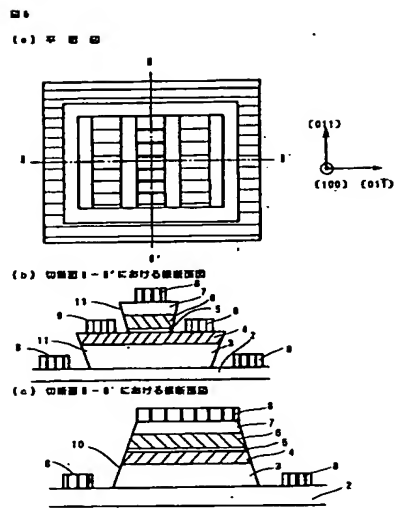
【図3】



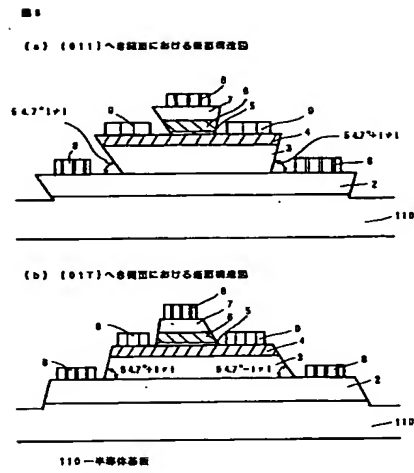
【図7】



【図5】

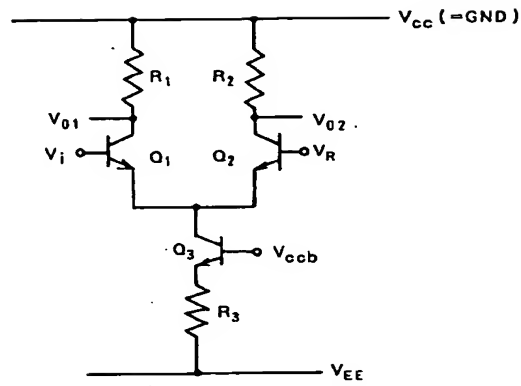


【図8】



【図6】

図 6



Q_1, Q_2, Q_3 …ヘテロ接合バイポーラトランジスタ

V_i : 入力電圧

V_R : 参照電圧

V_{01}, V_{02} : 出力電圧

フロントページの続き

(72)発明者 石川 恭輔
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 草野 忠四郎
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内